

# 基地局アンプ用信号処理技術

## Signal Processing Techniques for Base Station Amplifiers

吹野 幸治      小磯 康正      新福 修史  
Koji Fukino      Yasumasa Koiso      Yoshifumi Shinfuku

高橋 英紀      永安 正俊  
Eiki Takahashi      Masatoshi Nagayasu

### 要 旨

当社は、携帯電話基地局向けに小型かつ低コストな高効率デジタルプリディストーション (DPD) パワーアンプの開発に取り組んできた。本稿ではパワーアンプの更なる高効率化のために開発した技術を二つ紹介する。一つは、独自のアルゴリズムで演算量を減らして高速化したDPDである。本DPDが隣接チャネル漏洩電力比 (ACLR)  $-50\text{dBc}$ を1ms以内に達成可能なことを計算機シミュレーションで明らかにした。もう一つは、デジタル信号処理のアシストにより送信アンブリーク信号をキャンセルすることで、共用器のアイソレーション条件を緩和して損失を低減し、パワーアンプの電力効率を改善する送信アンブリーク信号キャンセラである。アイソレーションの緩和によって増加する送信アンブリーク信号を、 $30\text{dB}$ までキャンセル可能なことを試作装置を用いた実験により示した。

### Abstract

JRC has been developing compact, low-cost, and high efficiency Digital Pre-Distortion (DPD) power amplifiers for mobile base stations. In this paper, we report two techniques developed for realizing higher efficiency of the power amplifiers. Firstly, we introduce JRC's proprietary fast DPD algorithm, reducing the computational load required. It was demonstrated through computer simulations that this developed DPD achieves an adjacent channel leakage power ratio (ACLR) of  $-50\text{dBc}$  within 1ms. Secondly, we introduce transmission leakage cancellation technique, which utilizes digital signal processing, to lower duplexer's isolation requirement in exchange for reducing its insertion loss, consequently improving equipment's power efficiency. We show that the increased transmission leakage resulting from the relaxed isolation requirement can be canceled by up to  $30\text{dB}$  for a prototype.

## 1. まえがき

スマートフォンの急速な普及により携帯電話基地局は通信容量増大のため、今後はいっそうマルチアンテナの利用が進み、基地局当たりのパワーアンプ数も増加していくことが予想される。従来のDPDは演算量が多く、複数のパワーアンプを備えた基地局では装置全体に対するデジタル信号処理の消費電力が大きくなり電力効率が低下してしまうという問題があった。そこで、DPDの逆歪み推定アルゴリズムを改良して演算量を減らし、従来よりも短時間で解が得られる次世代基地局に最適なDPDを開発した。

さらに、共用器のアイソレーションを緩和して損失を低減し、装置全体の消費電力を削減する送信アンブリーク信号キャンセラを開発した。アイソレーションの緩和によって増加した受信機へのリーク信号はデジタル信号処理により受信機でキャンセルされる。

本稿では、これらのデジタル信号処理について動作原理を紹介し、計算機シミュレーションや実験により得られた性能について報告する。

## 2. デジタルプリディストーション (DPD)

### 2.1 DPD開発の背景

無線システムでは、小型・軽量化や低価格化、環境への配慮などから、電力効率の高いパワーアンプが求められている。一方、パワーアンプには一般に電力効率と線形性にトレードオフの関係がある。線形性が悪いパワーアンプを使用すると、非線形歪みにより通信品質の低下や他の通信システムへの妨害を引き起こしてしまう。特に近年の無線通信システムが採用しているマルチキャリア信号はピーク電力対平均電力比 (PAPR) が高く、パワーアンプの非線形性による悪影響を受けやすい<sup>1)</sup>。そのため、電力効率の高いパワーアンプを利用する場合は非線形性を補償する技術が必要となる。

当社では、パワーアンプの非線形性を補償する技術として、DPDの研究開発に取り組んでいる。基地局アンプに利用可能な歪み補償技術としてはDPDの他にフィードフォワード (FF) が知られているが、DPDにはFFと比較して低消費電力、低コストという特長がある。ここでは、次世代の携帯電話基地局向けパワーアンプに対応すべく高速化と低コスト化を図ったDPDについて説明する。

## 2.2 DPDの動作原理

図1にDPDを用いたパワーアンプの基本構成を示す。DPDは、アンプの非線形性を打ち消すような歪み(逆歪み)を、予めプリディストータで加えることによって歪み補償を行う技術である。アンプで生じる歪みの性質は個体差や温度、経年変化、出力電力や送信信号の種類など様々な要因によって変化する。そのため、常に最適な逆歪みを推定し、プリディストータのパラメータを更新し続ける必要がある。また、マルチアンテナに対応するためには複数のアンプが要求される。その場合、それぞれのアンプについて独立に逆歪みを推定し続ける必要があり、非常に多くの計算機資源が必要となる。

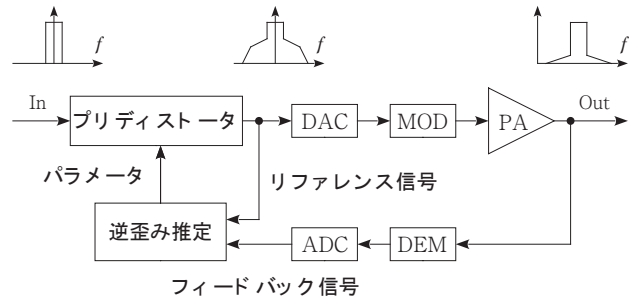


図1 DPDパワーアンプの構成  
Fig.1 Configuration of DPD Power Amplifier

## 2.3 逆歪み推定アルゴリズム

図2に当社が基地局アンプ向けのDPDに採用している逆歪み推定のブロック図を示す。アンプの歪みを含んだフィードバック信号に対し、どのような逆歪みを与えればアンプの歪みを打ち消せるかを推定している。まず、フィードバック信号に加える3次や5次の逆歪みを表現するための基底を生成する。適応アルゴリズムによって係数を変化させることで各基底の大きさを変え、フィードバック信号に所望の逆歪みを加えた信号(逆歪み信号)を生成する。最適な係数は、逆歪み信号とリファレンス信号の誤差を元に決定する。

この方式は、基底をどのように選ぶかによって、逆歪み推定の収束の速さや、歪み補償量が大きく変化する。一般的に用いられる基底では、複雑な非線形性を持つアンプの逆歪みを高速に推定するため、計算量の大きい適応アルゴリズムが要求される。

そこで当社では、計算量の少ない適応アルゴリズムでも高速に収束する独自の基底生成回路を新たに開発した。これにより、安価なハードウェアでも逆歪みの推定をリアルタイムに更新できるようになり、高速な収束特性が実現可能となる。

高速な収束特性が得られれば、1つのプロセッサを複数のパワーアンプの歪み補償に用いることが可能になり、装置の小型化、低消費電力化を図ることが可能である。複数のパワーアンプが要求されない製品においても、収束を遅くして回路規模を削減することが可能である。

## 2.4 シミュレーション結果

シミュレーションを行い、本DPDの収束特性と、収束後のスペクトルを確認した。表1にシミュレーションにおける主要な条件を示す。使用アンプは基地局向けアンプで広く用いられるドハティアンプ<sup>2)</sup>とし、出力電力や送信信号は基地局で用いられるものとした。

図3にACLRの収束特性を示す。ACLRが3GPPで規定された-45dBc以下になるまでの時間は30us、十分にマージンを持たせた-50dBcについては1.0msとなっている。また、図4にDPD前とDPD後のパワースペクトルを示す。DPDのパラメータは十分収束したものを用いている。最も歪みが大きいところでは歪みが約20dB抑圧されており、歪補償帯域全体に渡って-50dBc以下の十分なACLRが得られている。

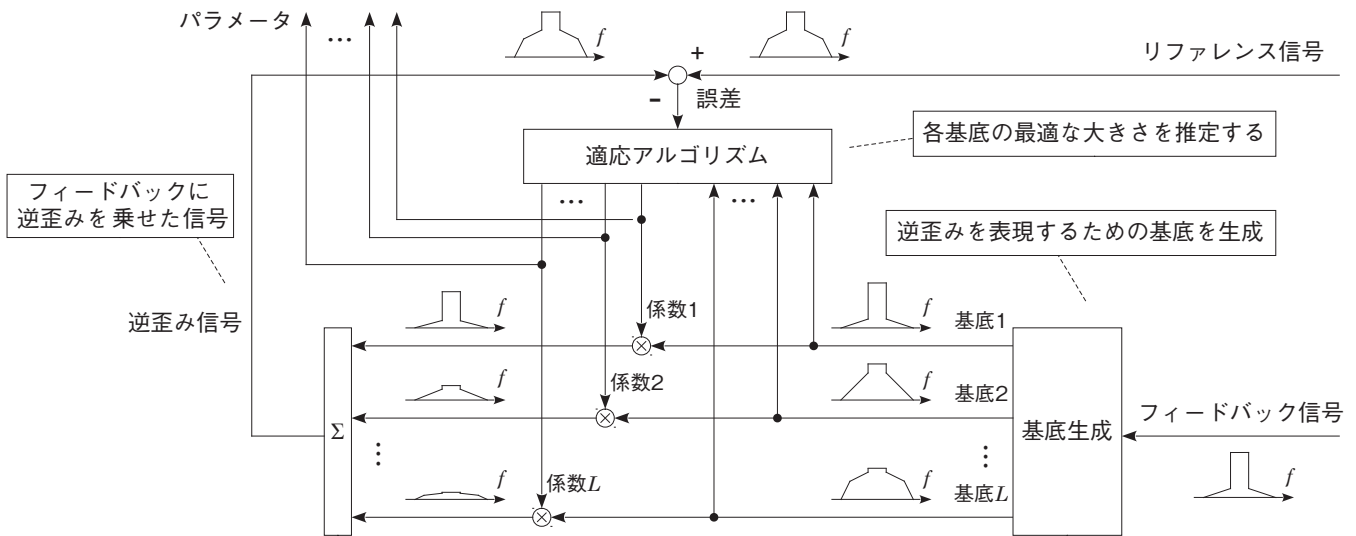


図2 逆歪み推定のブロック図  
Fig.2 Block Diagram of Inverse Distortion Estimation

表1 シミュレーション条件  
Table 1 Simulation Conditions

(1) 使用アンプ	GaN非対称ドハティアンプ
(2) 出力電力	+48.3dBm
(3) 送信信号	LTE 10MHz 2ch
(4) 歪補償帯域	122.88MHz
(5) パラメータ更新レート	122.88MHz

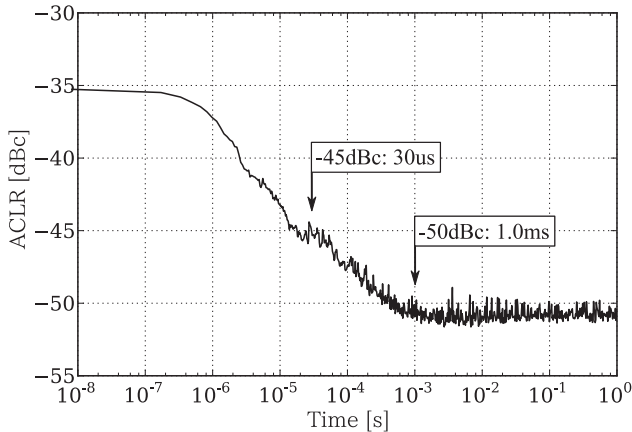


図3 収束特性

Fig.3 Convergence Characteristic

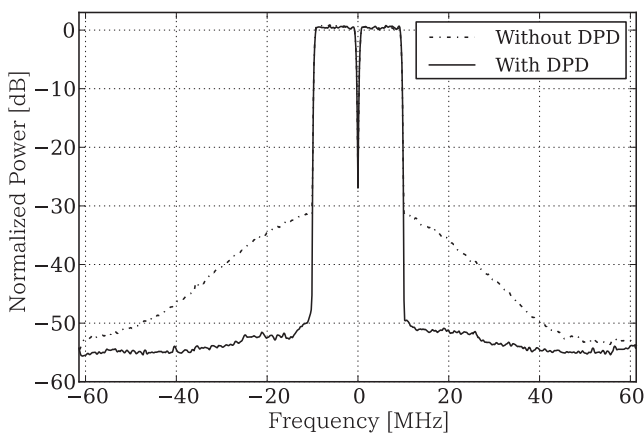


図4 歪み補償前と補償後のパワースペクトル

Fig.4 Power Spectra with and without Predistortion

### 3. 送信アンプリーク信号キャンセラ

#### 3.1 送信アンプリーク信号キャンセラの動作原理

携帯電話基地局で送受の周波数が異なるシステムでは、受信機への送信信号の回り込みを防止するため共用器が用いられる。しかし送信電力が大きいシステムでは、共用器の挿入損失を補うために装置全体で消費される電力は装置効率を大きく低下させる。例えば、装置出力が50~100W程度の装置の場合、共用器の挿入損失によって失われる電力は、装置全体の消費電力の10~15%にもなる。

しかし、共用器のアイソレーションに対する要求性能を30dB緩和できれば、共用器の挿入損失を十分に低減できる。

そこで、共用器のアイソレーション仕様を30dB緩和し、増加した送信アンプリーク信号を受信機のデジタル信号処理でキャンセルする。その結果、共用器の挿入損失によって失われる電力を、装置全体の約5%程度に削減することが可能となる。送信アンプリーク信号キャンセラのブロック図を図5に示す。

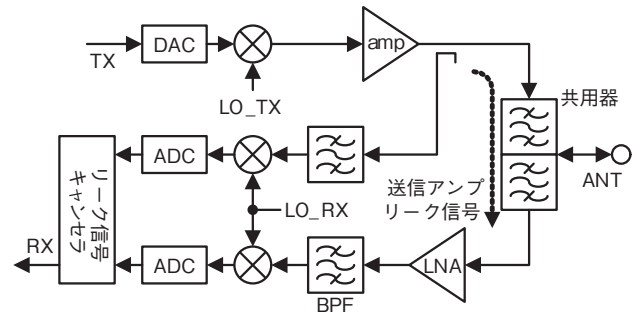


図5 送信アンプリーク信号キャンセラのブロック図

Fig.5 Block Diagram of Leak Signal Canceller

受信機にリークした送信信号をキャンセルするために、アンプの出力から送信信号を抽出する。受信帯域に落ち込む送信信号を抽出するために受信機と同じ周波数のローカルキャリアを用いてLow-IF信号に変換する。Low-IF信号はAD変換器に入力される。その際AD変換器が飽和しないように受信機と同じ通過帯域のバンドパスフィルタで送信帯域の送信信号主成分をカットしておく。リーク信号キャンセラ処理部では、受信機に漏れた送信アンプリーク信号とアンプ出力から抽出した信号の振幅・位相周波数特性と遅延が等しくなるよう適応フィルタを用い、受信信号から送信アンプリーク信号をキャンセルする。

#### 3.2 送信アンプリーク信号キャンセラの実験結果

図5に示した送信アンプリーク信号キャンセラを試作し、性能を実機で評価した。送信信号には15MHzに帯域制限されたランダム信号を用いた。通常より30dBアイソレーションを緩和した共用器を試作し、リーク信号キャンセラ処理部はFPGAに実装した。キャンセル前の送信アンプリーク信号と受信機雑音の電力比は20dBとなるので、受信感度点付近では30dB以上のキャンセル性能が要求される。

実験によって得られたSNR対キャンセル性能を図6に示す。横軸のSNRはデジタル信号処理部における受信信号電力と受信機雑音電力の比である。SNRを-5.7dBから53.9dBまで変化させた場合のキャンセル性能をプロットした。送信アンプリーク信号キャンセラにとっては受信信号は干渉信号となるので、SNRが高い領域ほど逆に過酷な環境となる。実験結果よりSNRが30dB以下の領域では30dB以上のキャンセル性能を確保しているが、SNRが30dBを超えるとキャンセル性能は徐々に劣化していくことがわかる。しかしSNRが高い領域では送信リーク信号電力は受信信号電力に対して相対的に小さく、キャンセル性能が劣化しても受信機の性能に与える影響は無視できる。ただSNRが高い領域で高品質な通信を行う適応変調方式などに適用する場合

は、要求性能を満足するよう応答時間とのバランスを取る必要がある。

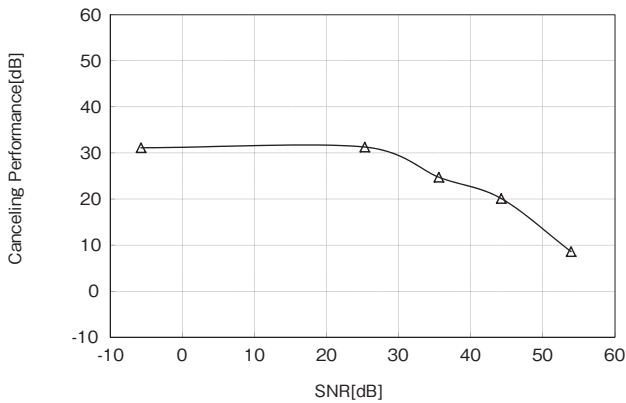


図6 SNR対キャンセル性能  
Fig.6 SNR vs. Canceling Performance

キャンセル後の残留リーク信号が受信機の性能に与える影響を評価するためSNR対SINRを評価した結果を図7に示す。SINRのIはキャンセル後の残留リーク信号電力であり、以下の(1)式で定義される。ただし、Sは受信信号電力であり、Nは受信機雑音電力である。

$$SINR = S/(I+N) \quad (1)$$

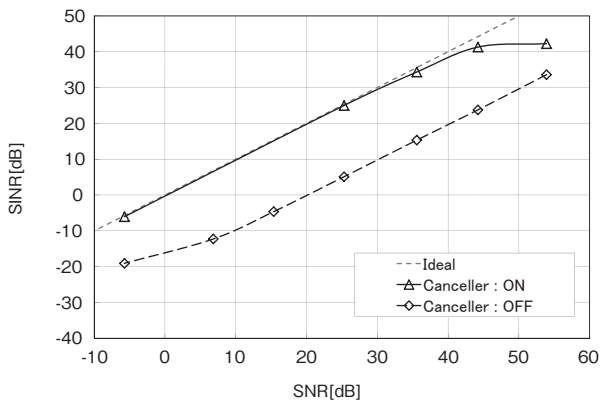


図7 SNR対SINR  
Fig.7 SNR vs. SINR

図7の理想直線は送信アンプリーク信号が完全に取り除かれてSNR=SINRとなった理想値である。キャンセル能力が30dBを超えるSNR30dB以下の領域ではSNRとSINRはよく一致しているが、SNR30dBを超えると徐々に理想直線から乖離し始める。しかし、キャンセラをOFFにした場合より劣化することはない。

#### 4. あとがき

収束時間を短縮する当社独自のDPDについて動作原理を説明した。本DPDではACLR -50dBcを1ms以内に達成可能なことを計算機シミュレーションで明らかにした。また共用器の挿入損失削減のために増大した送信アンプリーク信号を、デジタル信号処理により30dBキャンセル可能なことを試作装置を用いた実験によって示した。

今後はこれらの技術を発展させて携帯電話基地局の高効率化、小型化、低価格化を進める予定である。またデジタルアシストによるアナログ回路の高性能化、低価格化を携帯電話基地局以外の分野にも応用していきたい。

関連特許出願 3件申請中

#### 参考文献

- (1) 野島 俊雄, 山尾 泰: “モバイル通信の無線回路技術”, 電子情報通信学会, 2007
- (2) Steve C. Cripps: “Advanced Techniques in RF Power Amplifier Design”, ARTECH HOUSE, 2002

#### 用語一覧

- ACLR: Adjacent Channel Leakage Ratio (隣接チャネル漏洩電力比)
- ADC: Analog-to-Digital Converter (ADコンバータ)
- DAC: Digital-to-Analog Converter (DAコンバータ)
- DEM: Demodulator (復調器)
- DPD: Digital Predistortion (デジタルプリディストーション)
- FF: Feed Forward (フィードフォワード)
- FPGA: Field-Programmable Gate Array (プログラム可能なゲートアレイ)
- GaN: Gallium Nitride (窒化ガリウム)
- IF: Intermediate Frequency (中間周波数)
- MOD: Modulator (変調器)
- PA: Power Amplifier (電力増幅器)
- PAPR: Peak-to-Average Power Ratio (ピーク電力対平均電力比)
- SINR: Signal-to-Interference and Noise Ratio (信号対干渉雑音比)
- SNR: Signal-to-Noise Ratio (信号対雑音比)