

# 次世代基地局向けDPDパワーアンプの開発

## Development of DPD Power Amplifier for Next Generation Base station

平山 浩久    羽田 亨    吹野 幸治    柴田 孝基  
 Hirohisa Hirayama    Toru Hada    Koji Fukino    Koki Shibata

石川 高暁    佐々木 孝義    宮澤 良男    船山 拓也  
 Takaaki Ishikawa    Takayoshi Sasaki    Yoshio Miyazawa    Takuya Funayama

渡邊 孝史  
 Takashi Watanabe

### 要 旨

第3.9世代の携帯電話基地局送信機向けに、小型かつ低コストな高効率デジタルプリディストーション (DPD) パワーアンプの要求が高まっている。高効率化を目的として、窒化ガリウム (GaN) トランジスタE級カスタムデバイスを用いた多段アンプと、メモリ効果に対応した独自のDPDで線形化する送信用DPDパワーアンプを開発した。さらにドライバアンプにもGaNトランジスタを使用し、終段アンプの逆歪特性を持たせることにより、高効率化と歪低減を図っている。またDPDの入力に変調精度 (EVM) の劣化が少ないピークリミッタを設け、ピーク対平均電力比 (PAPR) を低減している。ドハティ方式アンプを終段とした多段アンプは、出力28.2W (バックオフ7.7dB) にて効率が42.7%、最大30dB以上のDPD歪補償により所望の線形性が得られた。

### Abstract

High efficiency Digital Pre-Distortion (DPD) power amplifiers are strongly demanded for compact and low-cost 3.9G base station transmitters. JRC has recently developed the high-efficiency DPD power amplifier which consists of the multi-stage amplifier using internally class-E matched GaN packaged device and the proprietary DPD reducing memory effect distortion. The driver amplifier using GaN transistor also contributes both the high efficiency and the distortion reduction of the multi-stage amplifier because of its distortion characteristics nearly opposite to the final amplifier. A peak limiter is applied to reduce Peak to Average Power Ratio (PAPR) with minimum degradation of Error Vector Magnitude (EVM). We have shown that the multi-stage power amplifier achieves 42.7% overall efficiency at 28.2W average output power (7.7dB back-off), and the DPD cancels distortion more than 30dB.

## 1. まえがき

LTEやUMBの第3.9世代の携帯電話基地局送信機向けに、小型かつ低コストな高効率DPDパワーアンプの要求が高まっている。高効率化を目的として、GaNトランジスタE級カスタムデバイスを用いた多段アンプと、メモリ効果に対応した独自のDPD技術を開発した。多段アンプは、ドライバアンプに終段のドハティ方式アンプと逆歪特性を持たせ、多段アンプ全体の歪を低減させるとともに、GaNトランジスタにより高効率化を図っている。またDPDの入力に変調精度の劣化が少ないピークリミッタを設けPAPRを低減している。

本稿は第3.9世代の2GHz帯向けに開発したDPDパワーアンプについて、多段アンプ高効率化の設計手法とDPDの動作原理について紹介し、これらを組み合わせた歪補償性能について報告する。

## 2. DPDパワーアンプの概要

DPDパワーアンプは入力された変調信号を歪むことなく所望の電力まで増幅する装置であり、多段アンプと前段に接続された信号処理部とから構成される。(図1参照)

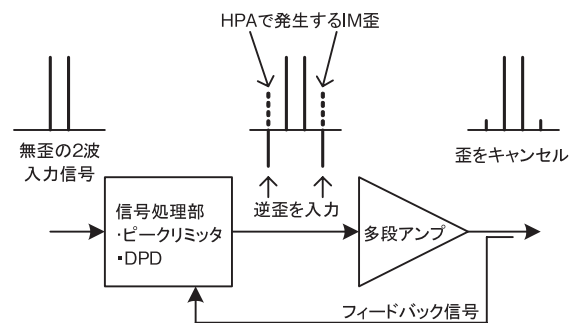


図1 DPDパワーアンプの構成

Fig.1 Configuration of DPD Power Amplifier

信号処理部は主にPAPRを低減するピークリミッタと多段アンプの歪を補償するDPDにより構成される。信号処理部のDPD動作原理については次項にて詳細を述べる。多段アンプは-15dBm程度の小信号から+45dBm程度の大信号に増幅するため、適切なバックオフを持ったアンプを多段に接続する必要がある。この多段アンプについては第4項で詳細を述べる。

ここでDPDによる歪補償原理を簡単に説明する。図1中に示したように多段アンプで発生した相互変調歪 (IMD) を無歪の入力信号と比較し、逆歪特性を算出する。この逆歪特性を多段アンプに入力することで歪を打消し、出力された信号は低歪となる。

### 3. DPD動作原理

DPD処理部は送信信号に逆歪特性を付加する歪補償部と、その逆歪特性を求める演算部で構成される。図2にDPD処理部を含むデジタル基板のブロック図を示す。

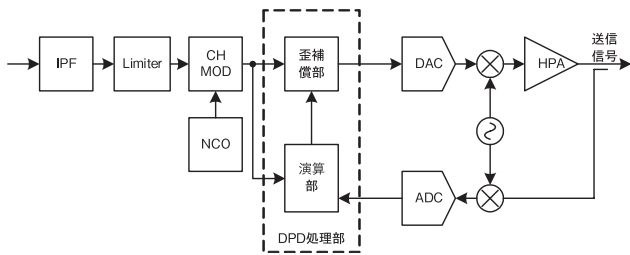


図2 デジタル基板のブロック図  
Fig.2 Block Diagram of Digital Board

デジタル基板に入力した送信信号は補間フィルタ (IPF) によりオーバーサンプリングされ、リミッタで所望の累積分布補関数 (CCDF) を満たすようにピーク圧縮され、チャネル変調器 (CH MOD) と数値制御発振器 (NCO) で送信帯域内でのチャネルのキャリア配置を施した後、DPD処理部に至る。DPD処理部では多段アンプの歪特性を打消す逆歪特性を求めて送信信号に付加する。その後、送信信号は中間周波数 (IF) に変換され、デジタルアナログ変換器 (DAC) を経由し、無線周波数 (RF) に変換され、多段アンプから送信される。DPD処理部で付加する逆歪特性は、DPD処理部へ入力したリファレンス信号と、多段アンプから出力した送信信号を、IFに変換した後、アナログデジタル変換器 (ADC) を経由して、ベースバンドに変換したフィードバック信号とを用いて演算部で演算処理して求める。

図3にDPD処理部の機能ブロック図を示す。DPD処理部は、送信信号の電力を求める電力算出回路 ( $i^2+q^2$ )、メモリレス歪補償部、メモリ効果歪補償部、メモリレス歪補償送信信号とメモリ効果歪補償送信信号を総和する加算器 ( $\Sigma$ )、遅延器 (delay)、およびRAMから構成される。メモリレス歪補償部は、ルックアップテーブル (LUT)、および乗算器で構成される。

DPD処理部では、当社が独自に開発したDPD方法を用いてメモリレス歪補償に加え、メモリ効果歪補償をする。

DPD処理部では、RAMに送信信号と同じタイミングのリファレンス信号とフィードバック信号を取得し、演算部で多段アンプの歪特性を打消す逆歪特性を求め、歪補償部のメモリレス歪補償部、メモリ効果歪補償部を制御し、メモリレス歪補償送信信号とメモリ効果歪補償送信信号を求め、その総和を歪補償送信信号としている。

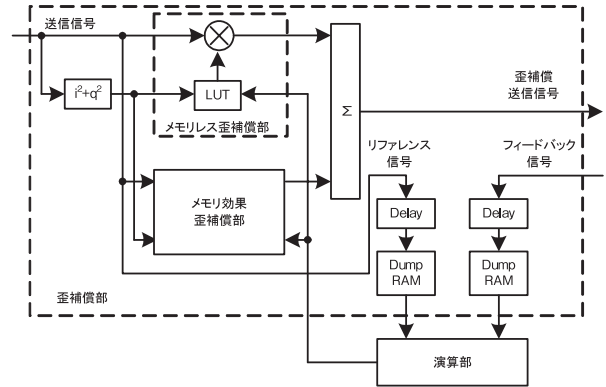


図3 DPD処理部の機能ブロック図  
Fig.3 Function Block Diagram of DPD System

### 4. 多段アンプ設計

多段アンプは、入出力のアイソレータ、小信号アンプ、ドライバアンプ、および終段のドハティアンプから構成される。試作した2.14GHz帯の多段アンプは図4に示すように4段構成で利得は60dBである。また、DPDモジュールに出力信号をフィードバックするための方向性結合器を終段アンプと出力アイソレータの間に設けている。

ドライバアンプはGaNトランジスタカスタムデバイスとして、出力をF級に内部整合し高効率化と高利得を同時に実現している。ドライバアンプは終段のドハティアンプと振幅対振幅 (AM/AM) 特性及び振幅対位相 (AM/PM) 特性に逆歪特性を持たせ、アンプモジュール内で相互変調歪がキャンセルされる方向に調整した。

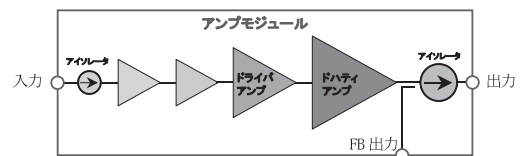


図4 多段アンプブロック図  
Fig. 4 Block Diagram of Multi-Stage Amplifier

終段アンプには高効率化のため、E級に内部整合されたGaNトランジスタカスタムデバイスをドハティアンプ構成とした。図5にE級動作設計の基本回路を示す。E級の内部整合回路の設計手順として、まずE級の初期値として一般的な算出式により  $\Delta$  (delta)Lと出力インピーダンスを算出して設計した<sup>(1)</sup>。

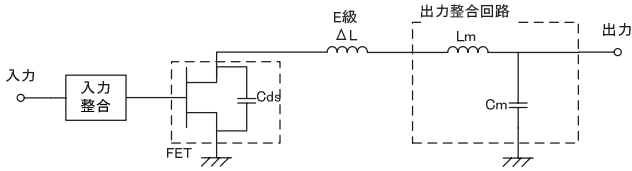


図5 E級動作設計の基本回路  
Fig. 5 Basic Schematic of Class-E Design

終段ドハティアンプの回路図を図6に示す。入力90度ハイブリッドによる等振幅分配、キャリアアンプとピークアンプにはGaNトランジスタカスタムデバイスを使用し、出力は $\lambda/4$ のドハティ線路とインピーダンス変換線路を設けている。

ドハティアンプは、6dBバックオフ以下でC級バイアスのピークアンプがオフし、ドハティ合成部が出力側から見てオープンとなる。このため、 $\lambda/4$ のドハティ線路によりキャリアアンプの負荷インピーダンスが2倍に変換され6dBバックオフ付近でキャリアアンプは飽和し、バックオフ点でも高効率な動作となる。E級動作をドハティ回路に適用するため、マッチング回路をシミュレーションにより最適化した。

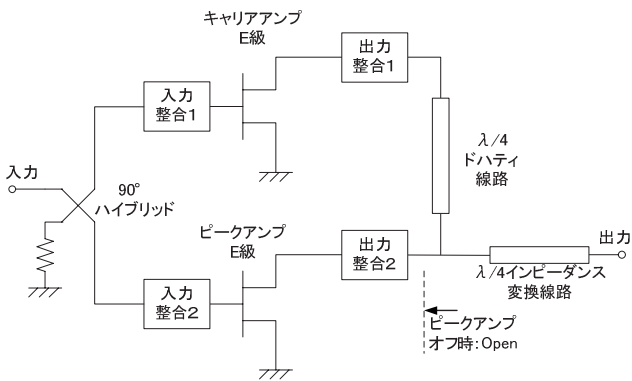


図6 ドハティアンプ回路図  
Fig. 6 Schematic of Doherty Amplifier

100Wチップを2個使用した終段ドハティアンプの試作評価結果を図7に示す。左側の軸はCWによるドレイン効率、右側の軸は5% duty pulseによるゲイン特性のグラフとなっている。8dBバックオフ点の44.3dBm出力時に、バランスアンプの動作と比較し、ドハティアンプ構成とすることでドレイン効率は30%から47%に17ポイント改善された。

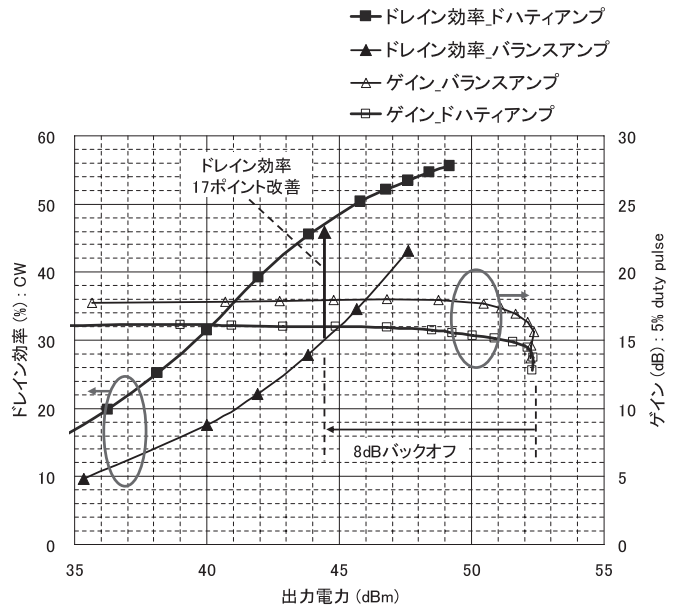


図7 終段ドハティアンプの効率及びゲイン特性  
Fig. 7 Efficiency and Gain Characteristics of Final-stage Doherty Amplifier

### 5. 実験評価

ドハティアンプ単体と多段アンプの2種類についてDPD評価結果を紹介する。

200Wチップ2個のGaNトランジスタE級カスタムデバイスをドハティアンプに適用した。別途ドライバアンプを接続し、4波WCDMA変調波のDPD評価として、CCDFが0.01%となる瞬時電力が平均電力で規格化した値を6.8dBとした送信電力における結果を図8に示す。効率が向上するように調整した結果、46.5dBm出力時の電力付加効率は49.8%、ドレイン効率は51.1%となった。DPDにより5MHz離調の隣接チャネル漏洩電力比 (ACLR) は-24dBcから-53.1dBcに、約30dBの補償量が得られた。

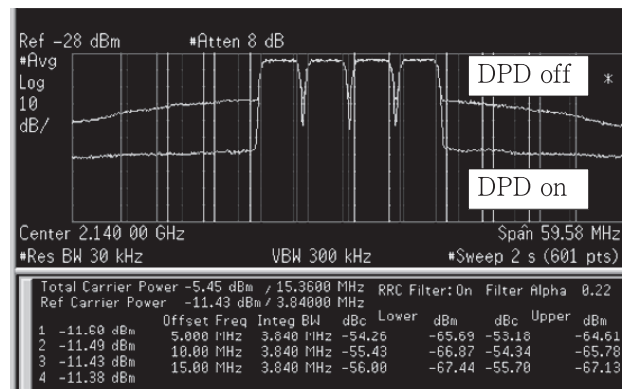


図8 200W チップx2ドハティ DPD評価 ACLR特性  
Fig.8 ACLR characteristic of 200W GaN chip x2 Doherty DPD evaluation

前述の多段アンプについて、第3.9世代基地局送信機向けアンプのDPD評価として、CCDFが0.01%となる瞬時電力が

平均電力で規格化した値を7.5dBとした送信電力における結果を図9に示す。評価には4波WCDMAの変調波を用いた。100Wチップ2個のGaNトランジスタE級カスタムデバイスを終段のドハティアンプに適用した。+44.5dBm出力時に、多段アンプ全体の効率は42.7%となった。またDPDにより5MHz離調のACLRは-53.3dBcまで補償されている。

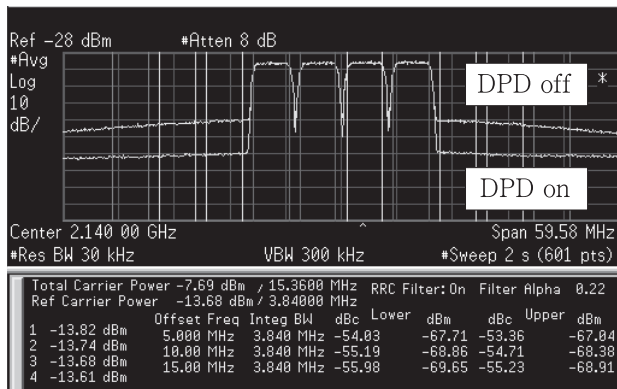


図9 多段アンプDPD評価ACLR特性

Fig.9 ACLR characteristic of multi-stage amplifier DPD evaluation

用語一覧

- ACLR: Adjacent Channel Leakage power Ratio (隣接チャネル漏洩電力比)
- ADC: Analog to Digital Converter (アナログデジタル変換器)
- AM/AM: Amplitude Modulation / Amplitude Modulation (振幅対振幅)
- AM/PM: Amplitude Modulation / Phase Modulation (振幅対位相)
- CCDF: Complementary Cumulative Distribution Function (累積分布補関数)
- CH MOD: Channel Modulator (チャネル変調器)
- CW: Continuous Wave (無変調の連続波)
- DAC: Digital to Analog Converter (デジタルアナログ変換器)
- DPD: Digital Pre-Distortion (デジタルプリディストーション)
- DSP: Digital Signal Processor (デジタル信号処理プロセッサ)
- EVM: Error Vector Magnitude (変調精度)
- FPGA: Field Programmable Gate Array
- GaN: Gallium Nitride (窒化ガリウム)
- IF: Intermediate Frequency (中間周波数)
- IMD: Intermodulation Distortion (相互変調歪)
- IPF: Interpolation Filter (補間フィルタ)
- LTE: Long Term Evolution (第3.9世代の規格の1つ)
- LUT: Look Up Table (ルックアップテーブル)
- NCO: Numerically Controlled Oscillator (数値制御発振器)
- PAPR: Peak to Average Power Ratio (ピーク対平均電力比)
- RF: Radio Frequency (無線周波数)
- UMB: Ultra Mobile Broadband (第3.9世代の規格の1つ)
- WCDMA: Wideband Code Division Multiple Access (広帯域符号分割多元接続)

6. あとがき

JRC独自のメモリ効果対応DPDについて動作原理を説明し、ドハティアンプのDPD評価にて最大約30dBの歪補償量を確認した。また、GaNトランジスタE級カスタムデバイスを用いたドハティアンプを終段とした多段アンプ試作機について、設計手法とDPD評価結果を報告した。

今後、第4世代向けに高効率なDPDパワーアンプの開発を行っていく予定である。

最後に、本装置の開発にあたりご指導ならびにご協力をいただいた関係各位に深く感謝いたします。

関連特許出願 6件申請中

参考文献

- (1) S. C. Cripps: "RF Power Amplifiers for Wireless Communications", Artech House, 1999.